

(2)

JAPANESE PATENT PUBLICATION NO. 7-122796B

PUBLICATION DATE DECEMBER 25, 1995

PARTIAL TRANSLATION

The applicant of this invention continued an investigation of a new electronic instrument system architecture capable of generating musical sounds only by controlling a program of a microcomputer without using any hardware of a sound source circuit and has finally realized the system architecture.

As a problem to be solved to realize a new electronic instrument system architecture, it has been a problem how to effectively maintain a sampling frequency of a musical sound, namely, an interval for generating a digital musical sound signal with a microcomputer where an amount of work to be processed have to fluctuate according to a system condition at the moment. Furthermore, it has been desired to form a mechanism which enables an optimum musical sound sampling frequency to be easily set so as to be adjustable to various uses of the electronic instrument such as, for example, a method of synthesizing musical sounds, a complexity level of the process, and the number of polyphones.

[Object of the Invention]

Therefore it is an object of the present invention to provide a processor which enables a microcomputer to generate musical sounds by controlling a program without a need for a conventional sound source circuit hardware, which solves

problems caused by a program control, particularly, a problem of establishing a musical sound sampling period at an operation, and which has a selecting function of an optimum musical sound sampling period immediately responding to various specification changes of electronic instrument functions, designing changes, changes of the number of polyphones, changes of a musical sound synthesizing method, and changes of instrument control processes.

[Constitution and Operation of the Invention]

In accordance with a first aspect of the present invention, to achieve the above object there is provided a processor comprising a microcomputer having program storage means for storing a program for processing an input for controlling an musical instrument and a program for generating musical sounds, address control circuit means for controlling an address of the program storage means, data storage means for storing data required for generating musical sounds, arithmetic circuit means, and operation control circuit means for controlling operations of the respective means by decrypting each instruction of the programs in the program storage means, wherein the microcomputer further comprises timer interrupt control circuit means for generating interrupt signals at a sampling period of a musical sound, wherein a musical sound is generated by executing the program for generating the musical sound in response to the interrupt signal from the timer interrupt control circuit means in the microcomputer, and

wherein the musical sound sampling periods, namely, intervals at which the interrupt signals are generated, are variably programmable in the timer interrupt control circuit means.

In other words, in the present invention, an interrupt signal from the timer interrupt control circuit means interrupts a work performed by the microcomputer to execute the program for generating musical sounds, thereby effectively resolving the problem of generating a sample of a musical sound for each musical sound sampling period in the program control method. In other words, a process of generating a musical sound take precedence of other processes and is executed whenever an interrupt signal is generated from the timer interrupt control circuit means. The timer interrupt control circuit means basically comprises a timer (counter), thereby causing very stable intervals at which the interrupt signals are generated. In addition, a sample of a musical sound is generated at each occurrence of an interrupt signal, and therefore the interrupt signal generation interval is just a sampling period of a musical sound. Furthermore, according to the present invention, the timer interrupt control circuit means is programmable. Therefore, interrupt signals can be generated from the timer interrupt control circuit means at optimum intervals adjusted to the number of polyphones, a method of synthesizing musical sounds, or the like. For example, the timer interrupt control circuit is assumed to comprise a down-counter which can be preset. The microcomputer presets data representing a

sampling period to the counter at an appropriate time (for example, at initialization when power is set on). The counter decrements a count value for each clock (signal from a master clock source such as a crystal oscillator). When the count value becomes zero, the counter generates an interrupt signal to request an interrupt of the microcomputer. Furthermore, this interrupt signal causes the preset data (which is stored) to be set to the counter again. As set forth hereinabove, the timer interrupt control circuit means causes an interrupt at a sampling period desired by the microcomputer and the microcomputer executes a musical sound generation process every time.

The musical sound generation process (interrupt process) must be completed before the next interrupt signal is outputted from the timer interrupt control circuit means. Otherwise, the musical sound sampling period cannot be maintained. The time required for the musical sound generation process depends upon its content such as, for example, the number of polyphones, a method of synthesizing musical sounds, and complexity level of the process. In other words, it depends upon an execution time for a musical sound generation processing program. For example, if the number of polyphones is half with the same conditions other than this, the execution time for the musical sound generation processing program becomes almost half. In this case, there is no problem in increasing a sampling speed of the musical sounds. Taking into consideration a conversion

of a digital-analog converter, it is rather better to increase the sampling speed. On the other hand, high-grade musical sounds having an abundant spectrum may be requested according to uses. In this case, it is necessary to provide a musical sound satisfying requested conditions through a complicated process to obtain a synthesized sound at the cost of the number of polyphones. For this need, there is a musical sound sampling period suitable for it. The present invention enables a generation of a musical sound at a musical sound sampling period satisfying respective conditions taking into consideration various specification conditions as set forth hereinabove.

In an example of a constitution, the microcomputer comprises an IC chip with the means set forth in the above added on the chip and with a digital-analog (D/A) converter for converting a generated digital musical sound signal to an analog signal and a port for receiving an input for controlling an instrument being mounted on the chip. Accordingly, there is no need for sound source circuit hardware, thereby reducing the entire circuit size significantly. Conventionally, a sound source circuit LSI chip has a large circuit size and therefore there is a limitation on a yield in manufacturing chips (the yield is almost in inverse proportion to a chip area). Therefore, the present invention enables a manufacturing cost of a device to be significantly reduced.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-122796

(24) (44) 公告日 平成7年(1995)12月25日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 0 H 7/02 1/02			G 1 0 H 7/ 00	6 2 1 K 6 2 1 Z

請求項の数2 (全 17 頁)

(21) 出願番号	特願昭63-334164
(22) 出願日	昭和63年(1988)12月29日
(65) 公開番号	特開平2-179697
(43) 公開日	平成2年(1990)7月12日

(71) 出願人	999999999 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(72) 発明者	斯波 康祐 東京都西多摩郡羽村町柴町3丁目2番1号 カシオ計算機株式会社羽村技術センター 内
(74) 代理人	弁理士 杉村 次郎

審査官 千葉 輝久

(54) 【発明の名称】 処理装置

1

【特許請求の範囲】

【請求項1】 楽器を制御する入力処理するためのプログラムと楽音を生成するためのプログラムを記憶するプログラム記憶手段と、
前記プログラム記憶手段のアドレスを制御するアドレス制御回路手段と、
楽音の生成に必要なデータを記憶するデータ記憶手段と、
演算回路手段と、
前記プログラム記憶手段のプログラムの各命令を解読して前記各手段の動作を制御するオペレーション制御回路手段と、
を備えるマイクロコンピュータから成り、更に、前記マイクロコンピュータは楽音のサンプリング周期でインタラプト信号を発生するタイマーインタラプト制御回路手

2

段を有し、このタイマーインタラプト制御回路手段からのインタラプト信号に応答して前記楽音を生成するためのプログラムが前記マイクロコンピュータにおいて実行されることにより楽音が生成され、更に前記タイマーインタラプト制御回路手段において前記インタラプト信号が発生する間隔である前記楽音のサンプリング周期を可変にプログラム可能にしたことを特徴とする処理装置。

【請求項2】 請求項1記載の処理装置において、前記マイクロコンピュータは集積回路チップで構成され、このチップ上にデジタルの楽音信号をアナログ信号に変換するデジタル・アナログ変換器と楽器を制御する入力を受けるポートが更に設けられることを特徴とする処理装置。

【発明の詳細な説明】

【発明の技術分野】

この発明は処理装置に関し、特に処理装置における楽音合成の構造的なアーキテクチャーに関する。

[発明の背景]

近年、電子楽器はコンピュータ化されている。しかし、大量で高速のデータ演算が必要な楽音の生成に係る部分は音源回路と呼ばれる専用構造のハードウェアで行われており、マイクロコンピュータは楽器への制御入力（鍵盤やコンソールパネルからの入力、MIDIその他の外部制御入力、内部または外部の演奏メモリからの入力等）を処理し、音源回路に適したコマンドを音源回路に転送するに留まっている。

楽音生成処理は音源回路ハードウェアで行い、楽器の制御入力の処理をマイクロコンピュータで行うという電子楽器のシステムアーキテクチャーにはいくつかの問題がある。第1に音源回路ハードウェアは楽音パラメータを処理する種々の処理段階の随所にデータを一時的に保持する記憶装置、演算を行う演算回路から構成されるので、必然的に回路規模が大きくなる。代表的にはマイクロコンピュータの2倍程度の規模となる。第2に音源回路ハードウェアで行う楽音合成の仕方をマイクロコンピュータで可変に制御するに限界がある。例えば、同時発音数（ポリフォニック数）はハード的に固定されているのでマイクロコンピュータからのコマンドで変えることはできない。また、楽音のサンプリング周波数も音源回路のハードウェアにより固定されているため、マイクロコンピュータからのコマンドで変更することはできない。このような制御の限界は新しい音源回路ハードウェアを設計する場合の障壁になる。すなわち、しばしば大規模な回路変更が余儀なくなり、多大の開発時間、労力を要する。更に、マイクロコンピュータと音源回路ハードウェアとの通信プロトコルあるいはインタフェース（転送方式、コマンドのセット等）についても、音源回路ハードウェアごとに検討し直し、開発し直す必要がある。

以上の理由から、本件出願人は音源回路ハードウェアを使用することなく、マイクロコンピュータのプログラム制御だけで楽音を生成することのできる新しい電子楽器のシステムアーキテクチャーの研究を続け、ついに、その実現を見た。

新しい電子楽器のシステムアーキテクチャーを実現する上で解決すべき課題として、処理すべき仕事量がそのときそのときのシステムの状態によって変動せざるを得ないマイクロコンピュータにおいて、楽音のサンプリング周波数、すなわちマイクロコンピュータがデジタル楽音信号を生成する間隔をどのようにしたら有効に維持することができるか、という問題があった。更に、電子楽器の種々の使用、例えば楽音の合成の仕方、その処理の複雑さの度合、ポリフォニック数などに合わせて最適の楽音サンプリング周波数を容易に設定できるような機構が望まれた。

[発明の目的]

したがって、この発明の目的は従来のような音源回路ハードウェアを必要とすることなくプログラム制御により、マイクロコンピュータ自身が楽音を生成することができ、かつプログラム制御に起因する問題、特に動作時の楽音サンプリング周期の確立の問題を解決するとともに電子楽器の機能に関する種々の仕様変更、設計変更、ポリフォニック数の変更、楽音合成方式の変更、楽器制御処理の変更等に対してただちに対応できるような最適の楽音サンプリング周期の選定機能を実現した処理装置を提供することである。

[発明の構成、作用]

この発明によれば、上記の目的を達成するため、楽器を制御する入力を処理するためのプログラムと楽音を生成するためのプログラムを記憶するプログラム記憶手段と、このプログラム記憶手段のアドレスを制御するアドレス制御回路手段と、楽音の生成に必要なデータを記憶するデータ記憶手段と、演算回路手段と、前記プログラム記憶手段のプログラムの各命令を解釈して前記各手段の動作を制御するオペレーション制御回路手段とを備えるマイクロコンピュータから成り、更に、前記マイクロコンピュータは楽音のサンプリング周期でインタラプト信号を発生するタイマーインタラプト制御回路手段を有し、このタイマーインタラプト制御回路手段からのインタラプト信号にตอบสนองして前記楽音を生成するためのプログラムが前記マイクロコンピュータにおいて実行されることにより楽音が生成され、更に前記タイマーインタラプト制御回路手段において前記インタラプト信号が発生する間隔である前記楽音のサンプリング周期を可変にプログラム可能にしたことを特徴とする処理装置が提供される。

すなわち、この発明では、タイマーインタラプト制御回路手段からインタラプト信号によりマイクロコンピュータが行っている仕事を中断させ、楽音を生成するプログラムを実行させているので、楽音のサンプリング周期ごとに楽音のサンプルを生成するという課題がプログラム制御方式において有効に解決される。すなわち、楽音を生成する処理は他の処理に優先され、タイマーインタラプト制御回路手段からインタラプト信号が発生する都度、実行される。タイマーインタラプト制御回路手段は基本的にタイマー（カウンタ）で構成されるわけであるから、そのインタラプト信号の発生間隔は非常に安定している。またインタラプト信号の発生ごとに楽音のサンプルが生成されるわけであるから、インタラプト信号の発生間隔は楽音のサンプリング周期にほかならない。更に、この発明によれば、このタイマーインタラプト制御回路手段はプログラム可能である。したがって、ポリフォニック数、楽音の合成の仕方などに合わせて、最適の間隔でタイマーインタラプト制御回路手段からインタラプト信号を発生させることができる。例えば、タイマー

インタラプト制御回路手段をプリセット可能なダウンカウンタで構成したとする。マイクロコンピュータは適当なとき（例えばパワーオン時の初期設定処理時）に、このカウンタにサンプリング周期を表わすデータをプリセットする。カウンタはクロック（水晶発振器等のマスタークロック源からの信号）ごとにカウント値をデクリメントする。カウント値がゼロになるとカウンタからインタラプト信号が発生し、マイクロコンピュータに割込を要求する。更にこのインタラプト信号によりプリセットデータ（保持されている）が再度、カウンタにセットされる。以上により、マイクロコンピュータが望むサンプリング周期で、タイマーインタラプト制御回路手段から割込がかかり、その都度マイクロコンピュータは楽音生成処理を実行する。

楽音生成処理（インタラプト処理）はタイマーインタラプト制御回路手段から次のインタラプト信号が出力されるより前に、完了しなければならない。これができなければ、楽音のサンプリング周期を維持できない。楽音生成処理に要する時間は、その内容、例えばポリフォニック数、楽音合成の仕方、処理の複雑さの度合に依存する。換言すれば、楽音生成処理プログラムの実行時間に依存する。例えば、他の条件を同じとし、ポリフォニック数で半分にすれば、その楽音生成処理プログラムの実行時間はほぼ半になる。この場合、楽音のサンプリング速度を速くしても問題はない。むしろ、デジタル・アナログ変換器の変換を考慮すれば、サンプリング速度を速くした方がよい。一方、用途によっては、高品質でスペクトルの豊かな楽音が要求される場合もある。この場合、ポリフォニック数は犠牲になるが、1つの音を複雑な処理で合成して要求される条件にかなう楽音を提供する必要がある。このような場合にも、それに適した楽音サンプリング周期が考えられる。この発明は、以上のような様々な仕様条件を考慮して、それぞれの条件に合った楽音サンプリング周期での楽音の生成を可能にしたものである。

一構成例において、上記マイクロコンピュータは集積回路チップで実現され、このチップ上に上記手段を加え、生成したデジタル楽音信号をアナログ信号に変換するデジタル・アナログ（D/A）変換器と楽器を制御する入力を受けるポートも実装される。したがって、音源回路ハードウェアが不要であるので、全体の回路規模を大幅に縮小することができる。従来の場合、音源回路LSIチップの回路規模が大きいと、チップ製造における歩留りに限界がある（歩留りはチップ面積にほぼ反比例する）。したがって、この発明は装置の製造コストを大幅に下げることができる。

[実施例]

以下、図面を参照してこの発明の実施例を説明する。本実施例に係る電子楽器の全体構成を第1図に示す。装置全体の制御はマイクロコンピュータ1により行われ

る。特に、この発明に従い、楽器の制御入力の処理のみならず、楽音を生成する処理もマイクロコンピュータ1で実行され、楽音生成用の音源回路ハードウェアは必要としない。鍵盤2と機能キー3とから成るスイッチ部4は楽器の制御入力源であり、スイッチ部4から入力された情報はマイクロコンピュータ1で処理される。マイクロコンピュータ1の生成したアナログ変換後の楽音信号はローパスフィルタ5でフィルタリングされ、アンプ6で増幅され、スピーカ7を介して放音される。電源回路8はマイクロコンピュータ1、ローパスフィルタ、アンプ6に必要な電源を供給する。

上記マイクロコンピュータ1の内部構造を第2図にブロック図で示す。図示の各要素はワンチップ上に実装されている。実際に製作したものは5×5mmのチップサイズ、8音ポリフォニックの同時発音数を持ち、楽音合成方式はPCM（波形読み出し方式）であるが、本発明は他のポリフォニック数、他の楽音合成方式にも適用できる。

制御用ROM31には楽器の各種制御入力を処理するプログラムと楽音を生成するプログラムが記憶されており、ROMアドレス制御部39からROMアドレスデコーダ32を介して指定されたアドレスのプログラム語（命令）を順次出力していく。なお、具体的実施例では、プログラム語長は28ビットであり、プログラム語の一部が次に読み出されるべきアドレスの下位部（ページ内アドレス）としてROMアドレス制御部39に入力されるネクストアドレス方式となっているが、プログラムカウンタ方式のものにも本発明を適用し得る。RAMアドレス制御部33は制御用ROM31からの命令のオペランドがレジスタを指定している場合に、RAM34内の対応するレジスタのアドレスを指定する。RAM34はレジスタ群であり、汎用演算、フラグ演算、楽音の演算時に使用される。加減算器及び論理演算部35と乗算器36は制御用ROM32からの命令が演算命令のときに用いられる。特に乗算器36は楽音波形の演算に使用しており、そのための最適化として第1と第2のデータ入力（例えば16ビットデータ）を乗算して入力と同じ長さ（16ビット）のデータを出力するようになっている。上記RAM34、加減算器35、乗算器36により、演算回路（AU）が構成される。制御データ兼波形用ROM37にはピッチデータ、エンベロープデータ（レート、レベル）などの各種楽音制御パラメータと、PCM（パルス符号変調）の楽音波形データが記憶されている。エンベロープデータと楽音波形データは楽音の音色ごとに用意される。オペレーション解析部（オペレーション制御回路）38は制御用ROM31からの命令のオペコードを解釈し、指示されるオペレーションを実行するために、回路の各部に制御信号を送る。

所定時間ごとに制御用ROM31の楽音生成プログラムを実行するため、本装置ではタイマーインタラプトを採用している。すなわち、タイマーを有するインタラプト制御

部40により、一定時間ごとにROMアドレス制御部39に制御信号（インタラプト信号）を送り、この信号により、ROMアドレス制御部39は次に行うメインプログラムの命令のアドレスを退避（保持）し、楽音の生成が行われるインタラプト処理プログラム（サブルーチン）の先頭アドレスを代りにセットする。これにより、インタラプト処理プログラムが開始される。インタラプト処理プログラムの最後にはリターン命令があるので、このリターン命令がオペレーション解析部38で解読された時点で、ROMアドレス制御部39は退避してあったアドレスを再度セットし、メインプログラムに復帰する。

上記インタラプト制御部40はこの発明に従いプログラマブルである。すなわち、インタラプト制御部40のインタラプト信号の発生間隔（楽音サンプリング周期）をマイクロコンピュータ1で自由に設定できる。詳細は後述する。

入力ポート41と出力ポート42は鍵盤2、機能キー3のキースキャンのために使用される。インタラプト処理プログラムにおいて生成された楽音はデジタル／アナログ変換器43でアナログ信号に変換され、外部に出力される。第3図（A）に本実施例のマイクロコンピュータ1のメインプログラムのフローを示す。A1は電源投入時のイニシャル処理であり、マイクロコンピュータ1のRAM（レジスタ群）34のクリアや、リズムテンポ等の初期値の設定等を行う。更に、このイニシャル処理において、インタラプト制御部40に対する楽音サンプリング周期データの設定が行われる。A2でマイクロコンピュータ1は出力ポート42からキー走査のための信号を出力し、スイッチ部4の状態を入力ポート41から取り込むことにより、機能キー、鍵盤キーの状態をRAM34のキーバッファエリアに記憶する。A3ではA2で得た機能キー3の状態から、状態の変化した機能キーを識別し、指示される機能の実行を行う（例えば、楽音番号のセット、エンベロープ番号のセット、リズム番号のセット等）。A4ではA2で得た鍵盤2の状態から、変化した鍵（押鍵、離鍵）を識別する。次のA5でA4の処理結果から、発音処理A9のためのキーアサイン処理を行う。A6では機能キー3でデモ演奏キーが押鍵されたとき制御データ兼波形用ROM37から、デモ演奏データ（シーケンサデータ）を順次読み出し、処理することにより、発音処理A9のためのキーアサイン処理等を行う。A7ではリズムスタートキーが押鍵されたとき制御データ兼波形用ROM37からリズムデータを順次読み出し、発音処理A9のためのキーアサイン処理を行う。フロー一周タイマー処理A8では、メインフローで必要なイベントのタイミングを知るために、フロー一周時間（これは、フローを一周する間に実行されたタイマーインタラプトの回数を計数することで得られる。この計数処理は後述のインタラプトタイマー処理B3で行われる。）を基に演算を行い、エンベロープ用タイマー（エンベロープの演算周期）やリズム用の基準値を得る。発

音処理A9ではA5、A6、A7でセットされたデータから、実際に楽音を発音させるための各種演算を行い、結果をRAM34内の音源処理レジスタ（第6図）にセットする。A10は次のメインフローのパスのための準備処理であり、今回のパスで得た押鍵状態への変化を示すNEW ON状態を0N中にしたり、離鍵状態への変化を示すNEW OFF状態を0FF中に変える等の処理を行う。

楽音の生成が行われるインタラプト処理プログラムのフローを第3B図に示す。B1で前回のインタラプトの音源処理B2で生成してある楽音波形データ（8音分の累算波形値）をD/A変換器43に送出する。これにより、一定周期でD/A変換器43に楽音のサンプルが与えられることになる。次の音源処理B2で各チャンネルの楽音が生成され累算される。従来はこの処理を音源回路ハードウェア上で行っていた。詳細は後述する。次のインタラプトタイマー処理B3ではインタラプトが所定時間ごとにかかることを利用して、フロー一周計時用のタイマーレジスタ（RAM34内）を通過の都度、プラス1する。

なお、この実施例ではインタラプト処理プログラム内ではメインプログラムで書込を行うレジスタについては、内容の書替を行わないようにしているので、通常のインタラプト処理の開始時と終了時に行われるレジスタの退避と回復の処理は不要である。すなわち、RAM34上のレジスタは楽音処理に関係するレジスタとその他の処理に関係するレジスタとが独立しているため、メインプログラムからインタラプト処理への移行が可及的に遅れなしで行われる。

音源処理B2の詳細を第3C図に示す。C1で波形加算用RAM領域（第6図参照）をクリアした後、8チャンネル分の処理C2～C9を順番に行っている。各チャンネル処理の最後で、チャンネルの楽音波形値が波形加算用RAM領域のデータに加算される。

第4図は、時間に沿って実施例の動作の流れを描いたものである。A、B、C、D、E、Fはメインプログラム（第3A図）の断片であり、一定時間（楽音サンプリングタイム）ごとにインタラプト処理（第3B図）が実行される。タイムチャートで示すと第5図のようになる。図示のように、インタラプトに入る都度、D/A変換器43に楽音波形信号が入力され、対応するアナログ信号が外部に出力されていく。

第3C図のC2～C9の処理を1チャンネル分について詳細に示したのが第7図である。チャンネル処理は大きく分けてエンベロープ処理（D1～D7）と波形処理（D8～D21）から成る。

第8図はエンベロープ処理で生成されるエンベロープを示したものである。1つの楽音のエンベロープはいくつかのステップ（セグメント）から成っている。図では4セグメントで示してある。図中の Δx はエンベロープのサンプリング周期であり、 Δy はエンベロープ値の変化幅である。チャンネルのエンベロープ処理（D1～D7）で

10

20

30

40

50

は、サンプリングタイムごとのエンベロープの計算とステップの目標レベルに達したかどうかのチェックを行っている。一致したときには現在エンベロープレジスタ

(第6図参照)に目標値が設定されるので、メインプログラムの発音処理A9内でそれを検知して、次のステップのエンベロープのためのデータ(Δx 、 Δy 、目標エンベロープ値)を各レジスタにセットしている。

詳細に述べると、D1でエンベロープの演算周期 Δx と比較するためのタイマーレジスタとインタラプトごとにインクリメントし、D2で Δx と一致したときD3でエンベロープ変位分のデータ Δy の加減算フラグ(符号ビット)をテストしてエンベロープが上昇中か下降中かを判別し、D4、D5でそれぞれ現在エンベロープの減算または加算を行う。D6で現在エンベロープが目標エンベロープ値に達したかどうかをチェックし、達しておれば、現在エンベロープに目標レベルをセットする。これによりメインプログラムの発音処理A9で次のエンベロープステップのデータがセットされることになる。また発音処理A9でゼロの現在エンベロープを読んだときには発音の終了として処理される。

次に、波形処理D8~D21について述べる。波形処理では、現在アドレスの整数部を使って波形ROMから隣り合う2つアドレスの波形データを読み出し、(整数部+小数部)で示される現在アドレスに対して想定される波形値を補間求めている。補間が必要な理由は、インタラプトによる波形サンプリング周期が一定であり、アドレスの加算値(ピッチデータ)が楽器への応用上、ある音域にわたるためである(音階音しか出力しない楽器で音階音ごとに波形データを用意すれば補間の必要はないが許容できない記憶容量の増大となる)。補間による音色の劣化、歪みは高音域の方が著しいため、通常は、原音の記録サンプリング周期より高速の周期で原音を再生する。この実施例では原音(A4)再生の周期を2倍にしている(第9図)。したがって、アドレス加算値が0.5のとき、A4の音が得られるようになっている。この場合、A#4ではアドレス加算値は0.529となり、A3のとき、1となる。これらのアドレス加算値はピッチデータとして制御データ兼波形ROM37に記憶されており、押鍵時には発音処理A9において、鍵に対応するピッチデータと選択されている音色の波形スタートアドレス、波形エンドアドレス及び波形ループアドレスがRAM34の対応するレジスタ、すなわち、アドレス加算値レジスタ、スタートアドレス兼現在アドレスレジスタ、エンドアドレスレジスタ、ループアドレスレジスタにセットされる。

参考までに、第10図に時間に対する補間波形データを示す。図中、白丸は波形ROMのアドレスにある波形データ値、黒丸は補間値を示している。

補間の方式はいろいろあるが、ここでは直線補間を採用している。第7図の波形生成処理D8~D21を詳細に述べると、まず、D8で現在アドレスにアドレス加算値を加算

して新しい現在アドレスを得る。D9で現在アドレスとエンドアドレスを比較し、現在アドレス>エンドアドレスならば、D10、D11により、現在アドレス<エンドアドレスのときはD12により、物理上(番地上)または論理上(動作上)の次のアドレスを計算し、D14でその整数部により波形ROMをアクセスして次回波形データを得る。ループアドレスは動作上エンドアドレスの次のアドレスである。すなわち、第9図の場合、図示の波形は繰り返し読み出される。したがって、現在アドレス=エンドアドレスのときは次のアドレスとしてループアドレスの波形データを読み出す(D13)。D15、D16により、現在アドレスの整数部で波形ROMをアクセスして今回の波形データを読み出す。次に、D17で次回波形値から今回波形値を減算し、D18でその差に現在アドレスの小数部を乗算し、その結果をD19で今回の波形値に加えることにより、波形の直線補間値を求める。この直線補間したデータに現在エンベロープ値を乗算してチャンネルの楽音データ値を得(D20)、それを波形加算用レジスタの内容に加えて楽音データを累算する(D21)。

ここまでで、明らかなように、マイクロコンピュータ1は、インタラプト制御部40からのインタラプト信号の発生の都度、インタラプト処理を行い、楽音を生成することにより、動作中の楽音サンプリング周期を維持している。更に、この発明に従い、インタラプト制御部40の発生するインタラプト信号の発生間隔、すなわち、楽音のサンプリング周期はマイクロコンピュータ1により可変にプログラムすることができる。プログラマブルなインタラプト制御部40の構成は種々考えられる。以下、2つの例について説明する。

第11図に第1構成例のインタラプト制御部40を示す。このインタラプト制御部は2通りの楽音サンプリング周期でインタラプト信号INTFを発生することができる。詳細に述べると、インタラプト制御部には第13図に示ようなクロック信号 ϕ が入力される。このクロック信号 ϕ はクロック発振器の直接の出力あるいは、その出力を分周回路に通した後の出力である。図示のようにクロック信号 ϕ はリプルカウンタを構成する6つのバイナリカウンタ11-2~11-7の最下位のバイナリカウンタに入力される。第1のORゲート2-8にはすべてのバイナリカウンタ11-2~11-7の出力が入力され、第2のORゲート2-9には最上位ビットのバイナリカウンタ11-7を除いたバイナリカウンタ11-2~11-6の出力が入力される。したがって、第1のORゲート2-8の出力は128回の基本クロック ϕ に対し、1回“0”となり、第2のORゲート2-9の出力は64回の基本クロック ϕ に対し、1回“0”となる。この第1と第2のORゲート2-8、2-9のいずれを選択するかをプログラム制御で設定できるようにすればよい。そのために、ラッチ11-1がある。このラッチ11-1は上述した実施例の場合、初期設定処理A-1のなかで“0”または“1”に設定される。すなわ

ち、データバスの所定のビット線に $128/f\phi$ ($f\phi$ は基本クロック ϕ の周波数)の楽音サンプリング周期を指示するデータ“0”、またはその半分の長さの楽音サンプリング周期を指示する“1”が乗った状態でコマンド解析部38からの制御信号がラッチ11-1のクロック入力に加って、データがラッチされる。ラッチ11-1の出力は第1のORゲート2-8の出力が入力されるORゲート11-10に入力され、またラッチ11-1の出力をインバータ11-11で反転した信号が、第2のORゲート2-9の出力が入力されるORゲート11-12に入力される。ORゲート11-10とORゲート11-12の出力はNANDゲートに入力され、その出力がインタラプト信号INTFとなる。したがって、ラッチ11-1にビット“0”を設定したときには、第1のORゲート11-8の出力が選択され、基本クロック ϕ の128個ごとに1回、インタラプト信号INTFが“1”アクティブになり、ラッチ11-1にビット“1”を設定したときには、第2のORゲート11-9の出力が選択され、インタラプト信号INTFは基本クロック ϕ の64個ごとに1回“1”アクティブとなる。

第12図に第2構成例のインタラプト制御部40を示す。このインタラプト制御部は第11図の構成より細かく楽音サンプリング周期を調整することができる。詳細に述べると、1ビットラッチ11-1の代りに、データバスの4ビットに接続される4ビットのラッチ12-1が使用される。したがって、マイクロコンピュータ1はこのラッチ12-1に0~15の任意の値が設定可能である。この4ビットラッチ12-1の出力はコンパレータ12-8のB入力に入力される。コンパレータ12-8のA入力には第11図のリプルカウンタと同様な6ビットのリプルカウンタ12-2~12-7の出力のうち、上位4ビットのバイナリカウンタ12-4~12-7の出力が入力される。コンパレータ12-8は、A入力とB入力が等しいとき“1”となり、インタラプト信号INTFを発生する。このインタラプト信号INTFはリプルカウンタ12-2~12-7の各リセット入力にも入力されており、インタラプト信号INTFの発生時にリプルカウンタ12-2~12-7をオールゼロにリセットする。したがって、第12図の構成の場合、インタラプト信号INTFの発生周期(楽音のサンプリング周期)を任意の $8n/f\phi$ ($n=1\sim$)に設定することができる。例えば、4ビットラッチ12-1が8のとき(B入力=1000)は、リプルカウンタ12-2~12-7の値が1000000(2進)になるごとにインタラプト信号INTFが発生する。すなわち、64個の基本クロック ϕ ごとに1度の割りとなる。4ビットラッチ12-1が9のときなら、72個のクロック ϕ ごとに1度の割合となる。

以上で実施例の説明を終えるが、この発明の範囲を逸脱することなく種々の変形、変更が可能である。例えば、ある用途では、電子楽器に複数の異なる楽音合成能力をもたせることが考えられる。この場合、それぞれの楽音合成に対するプログラムがプログラムメモリ(制御用ROM

M31)に用意される。楽音合成方式ごとに最適のサンプリング周波数があるとする。またモード切換スイッチにより、どの楽音合成方式を使用するかが、ユーザーで選択できるとする。そのために、メインフロー上でモード切換スイッチの検査を行い、選択されている楽音合成番号をメモリ(RAM34)にセットする。更に、楽音生成処理ごとのサンプリング周波数データのテーブル(例えば制御用ROM41に置かれる)をアクセスし、選択された楽音合成番号に対応するデータを見つけ、インタラプト制御部40にセットする。インタラプト制御部40からインタラプト信号が発生したら、夫々の楽音合成処理ルーチンのエントリポイントのテーブル(例えば、制御用ROM41に置かれる)をアクセスし、選択された楽音合成番号に対応するエントリポイントを見つけ、その位置から開始する楽音生成プログラムを実行する。

その他、種々の変更が可能である。

【発明の効果】

以上のように、この発明ではプログラム制御によりマイクロコンピュータ自身が楽音を生成する場合において、楽音合成処理をタイマーインタラプト制御回路手段からのインタラプト信号の合図で開始させるとともに、インタラプト制御手段のインタラプト信号の発生周期をマイクロコンピュータからプログラムできるようにしているので、動作時に楽音のサンプリング周期を維持することができる一方で、装置の機能、ポリフォニック数、楽音合成の仕方、処理の複雑さの度合に合った楽音のサンプリング周期で楽音を生成することができる。更に、この実現のために、格別の回路の変更は不要であり、自由度の高い装置の設計、開発が可能となるという利点がある。

【図面の簡単な説明】

第1図はこの発明の実施例に係る電子楽器の全体構成図、第2図は実施例のマイクロコンピュータの構成を示すブロック図、第3A図はマイクロコンピュータのメインプログラムのフローを示す図、第3B図は楽音の生成が行われるインタラプト処理のフローチャート、第3C図は第3B図の音源処理の詳細なフローチャート、第4図は時間に沿ったプログラムの流れを示す図、第5図は時間に沿った処理の概要を示すタイムチャート、第6図は第2図のRAM34内に置かれる楽音生成用RAMのテーブルを示す図、第7図は第3C図の1つのチャンネル処理の詳細なフローチャート、第8図はエンベロープを示す図、第9図は波形ROMの波形データを示す図、第10図は時間に沿った補間演算波形を示す図、第11図はインタラプト制御部の第1の構成例を示す図、第12図はインタラプト制御部の第2の構成例を示す図、第13図はインタラプト制御部のクロック入力のタイムチャートである。

1……マイクロコンピュータ、31……制御用ROM、34……RAM、35……加減算器及び論理演算部、36……乗算器、37……制御データ兼波形ROM、38……オーバーシ

10

20

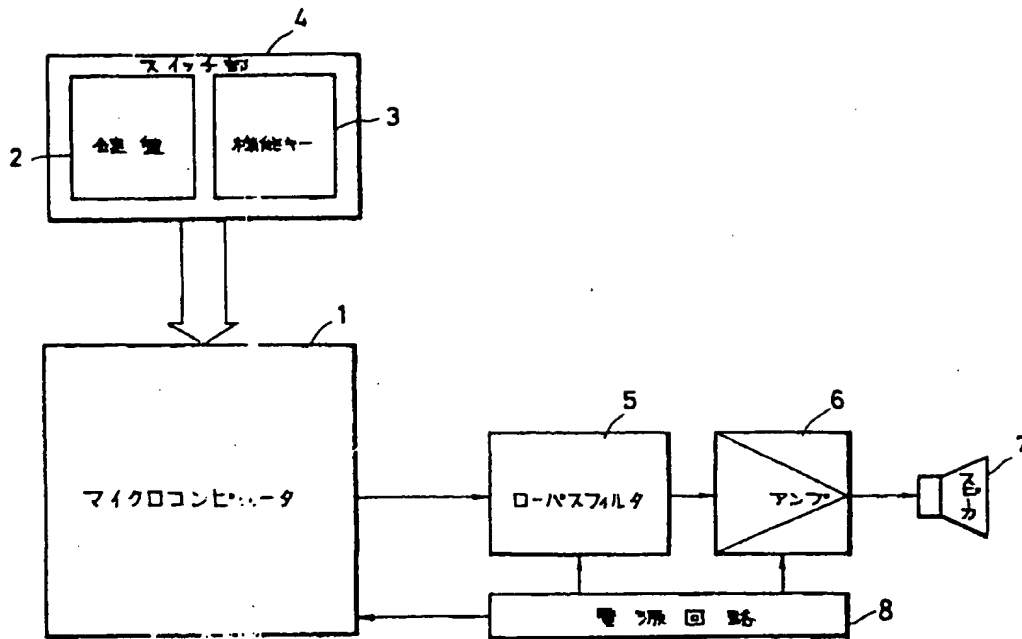
30

40

50

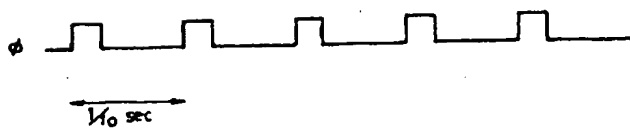
ヨン解析部、40……インタラプト制御部。

【第1図】



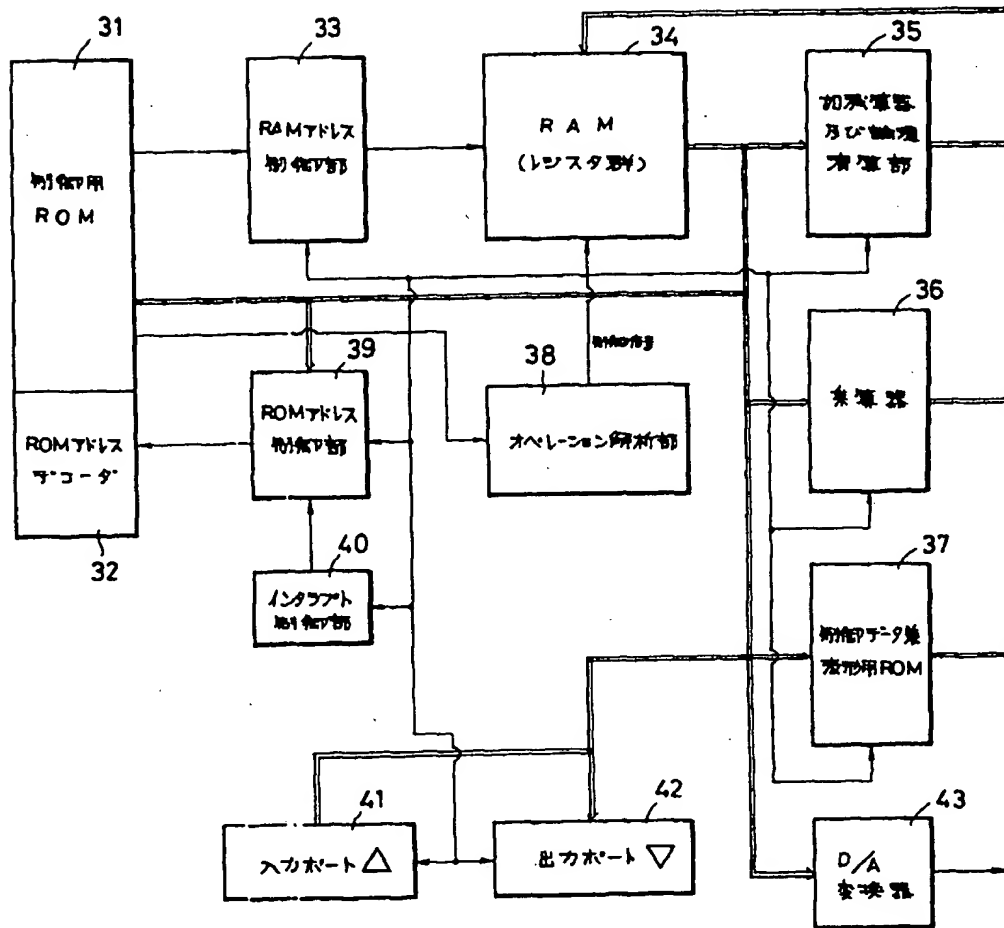
実施例の全体構成図

【第13図】



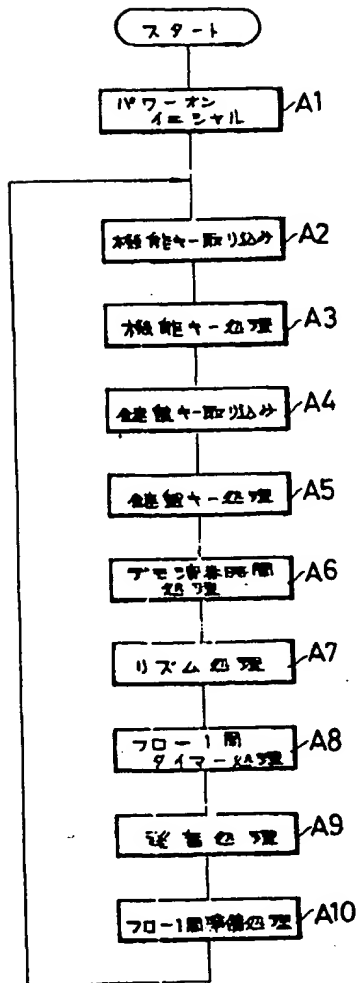
クロックのタイムチャート

【第2図】

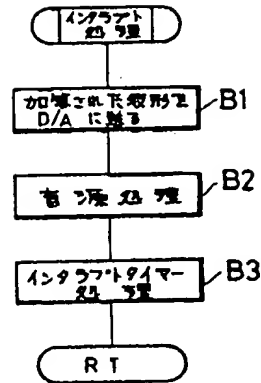


実施例のマイクロコンピュータのブロック図

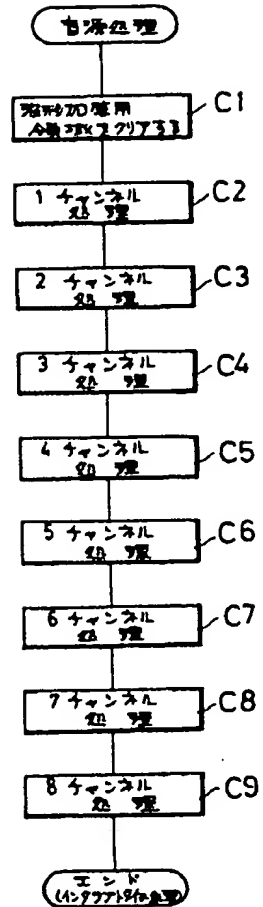
【第3A図】



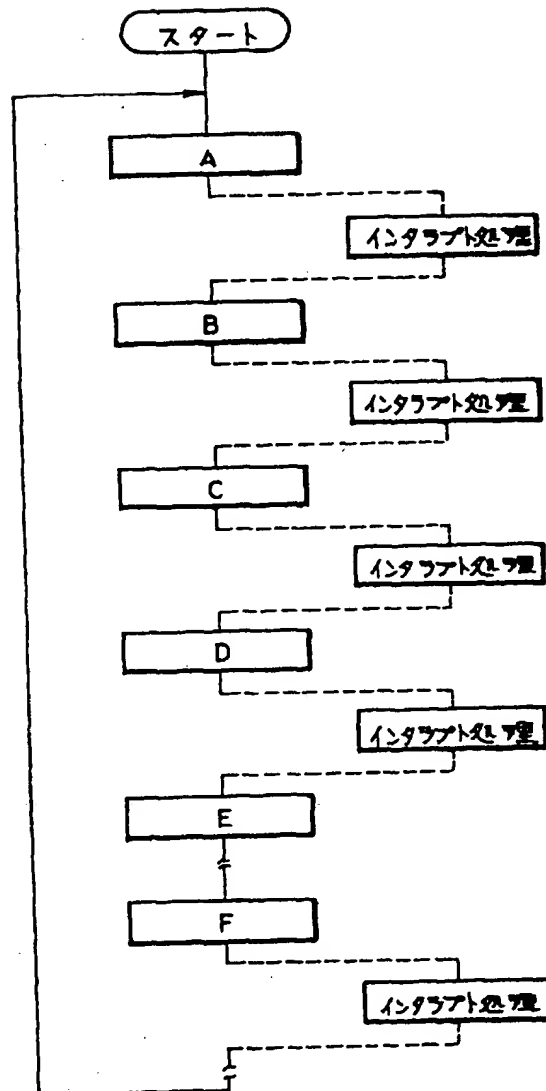
【第3B図】



【第3C図】

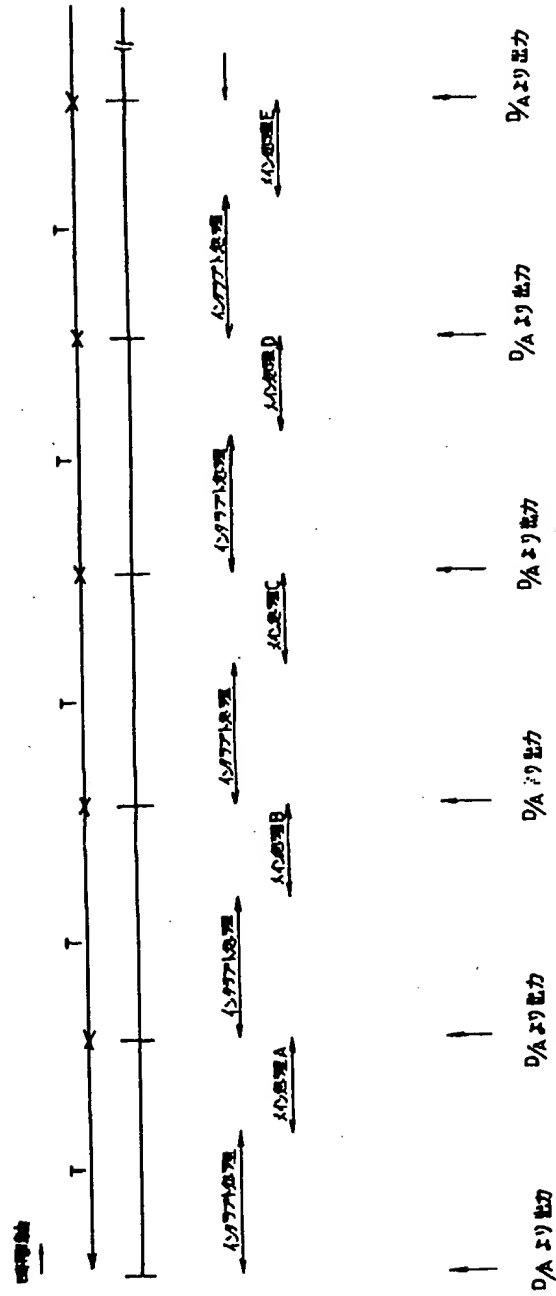


【第4図】



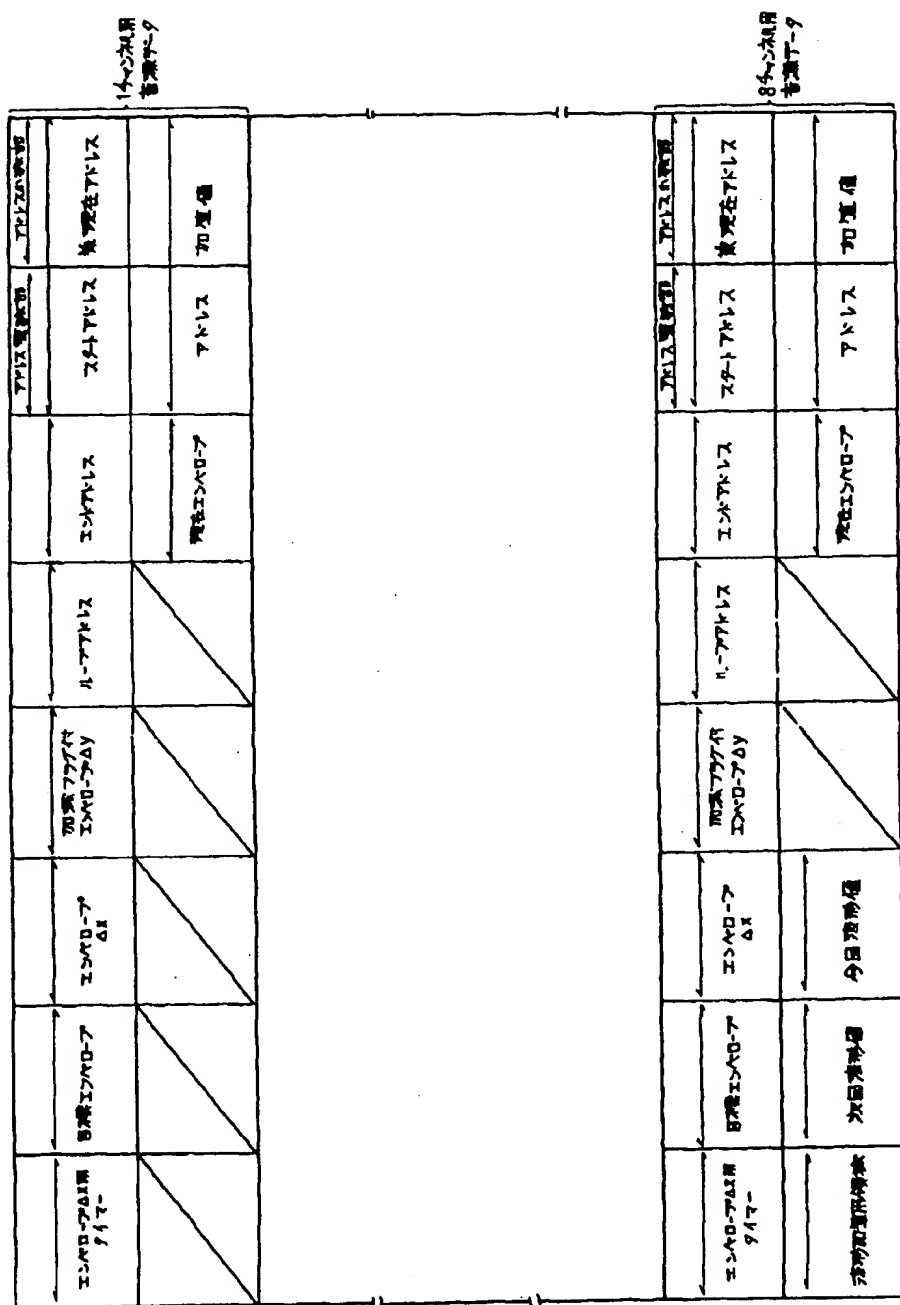
実行されるプログラムのフロー

【第5図】



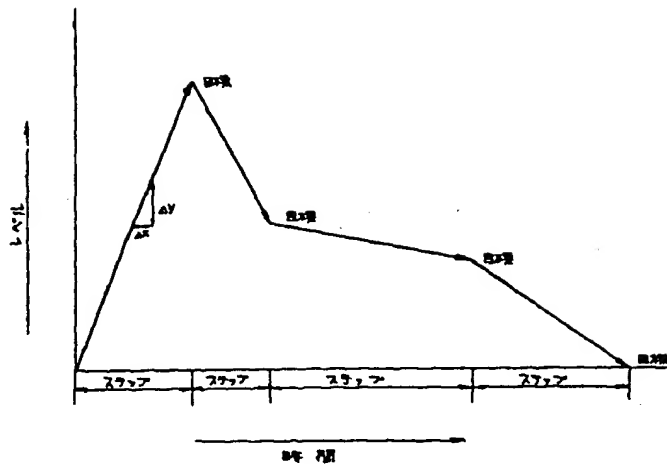
動作のタイムチャート

【第6図】



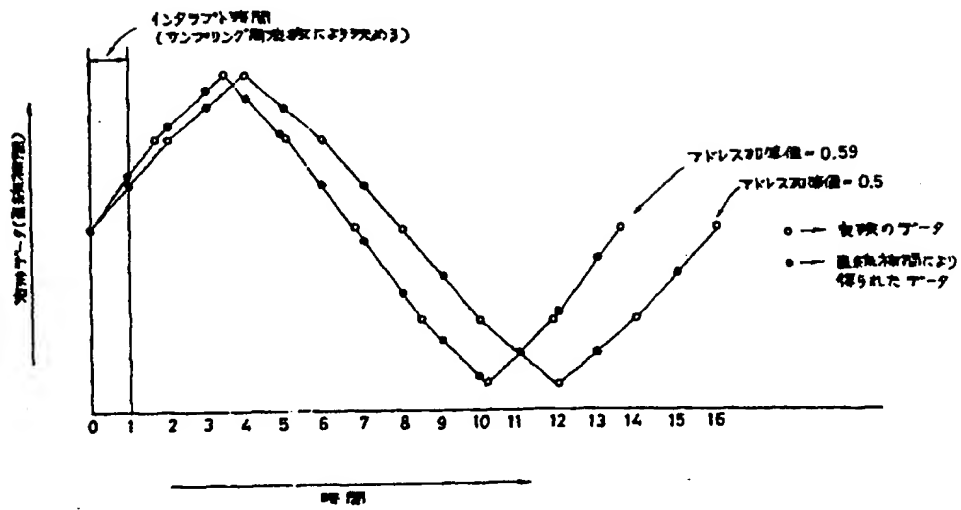
音源処理用RAM子-ブス

【第8図】



エンベロープ

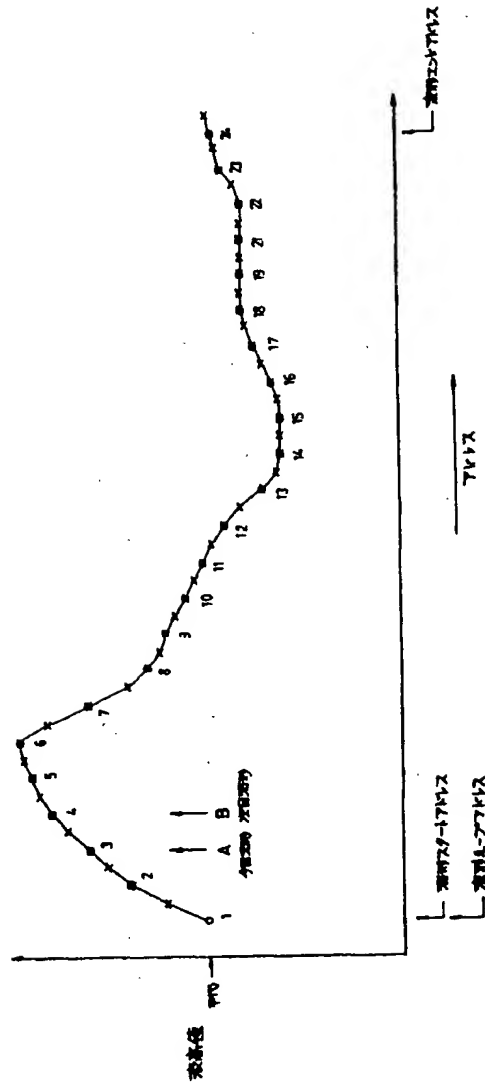
【第10図】



時間補正後の波形データ

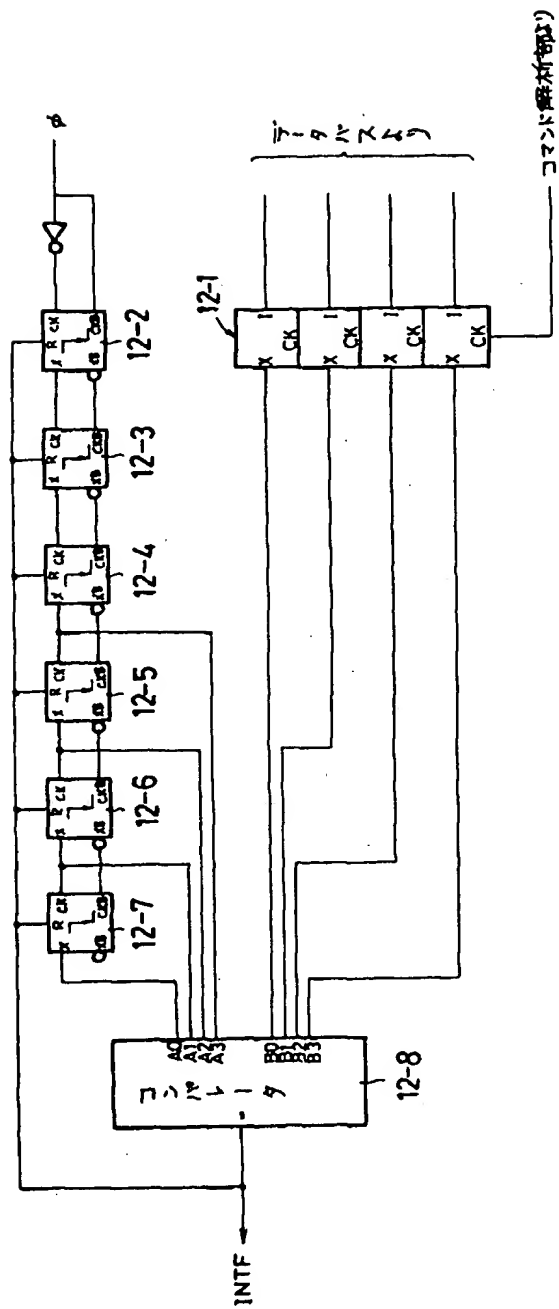
【第9図】

O 5712 演算ROMに記憶されているグラフ
 X 5712 演算ROMに記憶されているグラフ
 (7.122796の0.5倍増倍)



7.122796

【第12図】



インタラアト部内部の構成例(2)